

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Ju Hyun KIM *et al.* : Confirmation No. -----

U.S. Patent Application No. ----- : Group Art Unit: -----

Filed: March 29, 2004 : Examiner: -----

For: METHOD FOR SEPARATING SAPPHIRE WAFER INTO CHIPS USING DRY-ETCHING

CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims, in the present application, the priority of *Korean Patent Application No. 2003-66080, filed September 23, 2003*. The certified copy is submitted herewith.

Respectfully submitted,

LOWE HAUPTMAN GILMAN & BERNER, LLP


Benjamin J. Hauptman
Registration No. 29,310

1700 Diagonal Road, Suite 310
Alexandria, Virginia 22314
(703) 684-1111 BJH/klb
Facsimile: (703) 518-5499
Date: March 29, 2004



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2003-0066080
Application Number

출 원 년 월 일 : 2003년 09월 23일
Date of Application SEP 23, 2003

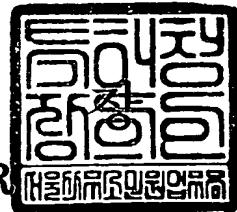
출 원 인 : 삼성전기주식회사
Applicant(s) SAMSUNG ELECTRO-MECHANICS CO., LTD.



2003 년 10 월 16 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0006
【제출일자】	2003.09.23
【국제특허분류】	H01L 21/301
【발명의 명칭】	드라이 에칭을 이용한 사파이어 웨이퍼의 분할 방법
【발명의 영문명칭】	METHOD FOR SEPARATING SAPPHIRE WAFER INTO CHIPS USING DRY-ETCHING
【출원인】	
【명칭】	삼성전기 주식회사
【출원인코드】	1-1998-001806-4
【대리인】	
【명칭】	특허법인씨엔에스
【대리인코드】	9-2003-100065-1
【지정된변리사】	손원 ,함상준
【포괄위임등록번호】	2003-045784-9
【발명자】	
【성명의 국문표기】	김주현
【성명의 영문표기】	KIM, Ju Hyun
【주민등록번호】	680505-1684316
【우편번호】	442-373
【주소】	경기도 수원시 팔달구 매탄3동 주공그린빌 307동 702호
【국적】	KR
【발명자】	
【성명의 국문표기】	오방원
【성명의 영문표기】	OH, Bang Won
【주민등록번호】	620928-1025611
【우편번호】	463-747
【주소】	경기도 성남시 분당구 분당동 샛별마을 동성아파트 203-302
【국적】	KR
【심사청구】	청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인
특허법인씨엔에스 (인)

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	5	면	5,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	5	항	269,000	원
【합계】		303,000	원	
【첨부서류】		1.	요약서·명세서(도면)_1통	

【요약서】**【요약】**

본 발명은 사파이어 웨이퍼를 개별 칩 단위로 분할 시, 상기 사파이어 웨이퍼의 배면을 그라인딩(grinding), 래핑(lapping)한 후, 드라이 에칭(dry-etching) 공정을 이용하여 가공한 이후 스크라이빙(scribing)함으로써 사파이어 웨이퍼를 보다 효율적으로 분할 가능하게 하는 사파이어 웨이퍼의 분할 방법에 관한 것이다. 본 발명은, 상면에 반도체 소자가 형성된 사파이어 웨이퍼의 배면을 소정의 두께로 그라인딩하는 단계와, 상기 그라인딩된 사파이어 웨이퍼의 배면을 소정의 두께로 래핑하는 단계와, 상기 래핑된 사파이어 웨이퍼의 배면을 균일하게 소정의 두께로 드라이 에칭하는 단계 및 상기 드라이 에칭된 사파이어 웨이퍼의 배면을 스크라이빙하는 단계를 포함하는 사파이어 웨이퍼의 분리방법을 제공한다. 본 발명에 따르면, 칩의 외관 불량을 개선하여 수율을 향상시키고, 고가의 다이아몬드 팁의 사용량을 감소시켜 생산원가를 절감함으로써 생산성을 높이고 나아가 제품의 가격 경쟁력을 확보할 수 있는 효과가 있다.

【대표도】

도 2

【색인어】

질화갈륨, 사파이어, 웨이퍼, 응력, 드라이 에칭(dry etching), 스크라이빙, 폴리싱, 래핑

【명세서】**【발명의 명칭】**

드라이 에칭을 이용한 사파이어 웨이퍼의 분할 방법{METHOD FOR SEPARATING SAPPHIRE WAFER INTO CHIPS USING DRY-ETCHING}

【도면의 간단한 설명】

도 1은 종래의 사파이어 웨이퍼의 분할 방법을 도시한 공정도이다.

도 2a는 래핑 후 사파이어 웨이퍼 표면의 전자 현미경 사진이다.

도 2b는 폴리싱 후 사파이어 웨이퍼 표면의 전자 현미경 사진이다.

도 3은 래핑 후 스크라이빙된 사파이어 웨이퍼 및 분할된 칩의 사진이다.

도 4는 폴리싱 후 스크라이빙된 사파이어 웨이퍼 및 분할된 칩의 사진이다.

도 5는 본 발명에 따른 사파이어 웨이퍼의 분할 방법을 도시한 공정도이다.

도 6은 래핑된 사파이어 웨이퍼의 단면과 드라이 에칭된 사파이어 웨이퍼의 단면의 비교 도이다.

도 7은 드라이 에칭의 진행 시간에 따른 사파이어 웨이퍼 표면의 상태 변화를 나타내는 전자 현미경 사진이다.

도 8은 드라이 에칭의 RF 바이어스의 변화에 따른 사파이어 웨이퍼의 식각 상태 변화를 나타내는 사진이다.

도 9는 본 발명에 따른 사파이어 웨이퍼의 분할 방법에 따라 스크라이빙된 사파이어 웨이퍼 및 분할된 칩의 사진이다.

<도면의 주요부분에 대한 부호의 설명>

10 : 사파이어 기판 11 : 다이아몬드 휠

12 : 래핑 플레이트 13 : 다이아몬드 슬러리

14 : 다이아몬드 팁 20 : 드라이 에칭

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<15> 본 발명은 질화갈륨계 반도체 발광소자(LED) 등의 제조에 사용되는 사파이어 웨이퍼의 분할 방법에 관한 것으로, 보다 상세하게는, 사파이어 웨이퍼를 개별 칩 단위로 분할 시, 상기 사파이어 웨이퍼의 배면을 그라인딩(grinding), 래핑(lapping)한 후, 드라이 에칭(dry-etching) 공정을 이용하여 가공한 이후 스크라이빙(scribing)함으로써 사파이어 웨이퍼를 보다 효율적으로 분할 가능하게 하는 사파이어 웨이퍼의 분할 방법에 관한 것이다.

<16> 근래에 새로운 영상정보를 전달매체로 부각되고 있는 LED 전광판은 초기에는 단순 문자나 숫자정보로 시작하여 현재는 각종 CF 영상물, 그래픽, 비디오 화면 등 동화상을 제공하는 수준까지 이르게 되었다. 색상도 기존 단색의 조잡한 화면 구현에서 적색과 황록색 LED등으로 제한된 범위의 색상 구현을 했었으나, 최근에는 질화갈륨계(GaN)의 고희도 청색 LED가 등장함에 따라 적색, 황록색, 청색을 이용한

총천연색 표시가 비로소 가능하게 되었다. 그러나 황록색 LED가 적색 LED, 청색 LED보다 휘도가 낮고 발광 파장이 565nm 정도로 빛의 삼원색에서 필요한 파장의 녹색이 아니기 때문에 자연스러운 총천연색 표현은 불가능하였으나, 이후, 자연스러운 총천연색 표시에 적합한 파장 525nm 고휘도 순수 녹색 GaN LED를 생산함으로써 이러한 문제가 해결되었다. 따라서 LED 디스플레이에는 질화갈륨계 반도체 발광소자가 개발됨으로써 긴 수명, 고휘도, 고시인성을 갖는 고품질의 총천연색 표시가 가능함에 따라, 현재 100인치 이상의 대형 총천연색 옥외 LED 영상 디스플레이가 속속 등장하게 되었고, 컴퓨터와의 결합으로 옥외상업광고의 수준을 완전히 한 단계 높이고 뉴스를 비롯한 다양한 영상정보를 실시간으로 구현할 수 있는 첨단 영상매체로 발전하게 되었다.

<17> 이와 같이, 총천연색 LED 전광판 등에 사용되는 청색 또는 녹색의 질화갈륨계 반도체 발광소자의 제조 시에는, GaN 단결정을 이종 기판 상에 MOCVD(Metal Organic Chemical Vapor Deposition)법, HVPE(Hydride Vapor Phase Epitaxy)법 등의 기상 성장법 또는 MBE(Molecular Beam Epitaxy)법으로 성장시키게 된다. 이 때에 이종 기판으로는 주로 사파이어(α -Al₂O₃) 기판 또는 SiC 기판이 사용되고 있다. 특히, 사파이어 기판은 육각-롬보형(Hexa-Rhombo R3c) 대칭성을 갖는 결정체로서 c축 방향의 격자상수가 13.001Å을 갖으며, a축 방향으로는 4.765Å의 격자간 거리를 갖는다. 사파이어 면방향(orientation plane)에는 C(0001)면, A(11₂0)면, R(1102)면 등이 있다. 상기 청색 또는 녹색 발광소자용 사파이어기판으로는 C면의 경우, 비교적 GaN 박막의 성장이 용이하며, SiC 기판에 비해 저렴하고 고온에서 안정하기 때문에 주로 많이 사용된다.

<18> 통상적으로 상기 질화갈륨계 반도체 발광소자는, 사파이어 기판과, 상기 사파이어 기판 상에 순차적으로 형성된 제1 도전형 클래드층, 활성층 및 제2 도전형 클래드층을 포함하도록 제조된다. 상기 제1 도전형 클래드층은 n형 GaN층과 n형 AlGaN층으로 이루어질 수 있으며, 상기 활성층은 다중양자우물(Multi-Quantum Well) 구조의 언도프 InGaN층으로 이루어질 수 있다. 또한, 상기 제2 도전형 클래드층은 p형 GaN층과 p형 AlGaN층으로 구성될 수 있다. 이 때, n형 GaN층을 성장하기 전에 사파이어 기판과의 격자정합을 향상시키기 위해 AlN/GaN과 같은 베퍼층을 미리 형성할 수 있다. 상기 사파이어 기판은 전기적 절연성 물질이므로, 두 전극을 모두 상면에 형성하기 위해, 소정의 영역에 해당하는 상기 제2 도전형 클래드층과 활성층을 에칭하여 상기 제1 도전형 클래드층의 일부 상면을 노출시키고, 그 노출된 제1 도전형 클래드층 상면에 제1 전극을 형성한다. 한편, 상기 제2 도전형 클래드층은 상대적으로 높은 저항을 갖고 있으므로 상기 제2 도전형 클래드층 상면에 오믹콘택층을 추가하고 그 오믹콘택층의 상면에 제2 전극을 형성한다. 이 때, 실제 제조공정에서는 상기 사파이어 기판으로 사파이어 웨이퍼를 사용한다.

<19> 상기한 바와 같이, 사파이어 웨이퍼 상에 제1 도전형 클래드층, 활성층 및 제2 도전형 클래드층 및 전극을 형성한 후, 상기 사파이어 웨이퍼를 개별 칩 단위로 분할하여 각각의 개별 반도체 칩으로 완성된다. 이 때, 상기 사파이어는 물성상 매우 단단한 물질(모오스 경도 : 9)이므로, 상기 사파이어 기판의 배면을 그라인딩, 래핑, 폴리싱하여 사파이어 웨이퍼의 두께를 감소시킨 후, 다이아몬드 텁을 사용하여 상기 사파이어 웨이퍼의 배면을 스크라이빙하여 개별 칩으로 분리하는 특수한 처리 공정을 통하여 칩 분리가 이루어진다.

<20> 도 1은 칩 분리를 위한 종래의 사파이어 웨이퍼의 분할 방법을 도시한 공정도이다. 먼저, 도 1a는 그라인딩 공정을 도시한 것으로, 회전하는 다이아몬드 휠(11)을 사용하여 사파이어 웨이퍼(10)의 배면을 소정의 두께(예를 들어, $115\mu\text{m}$)로 연삭한다. 이어, 도 1b에 도시한 바와 같이 상기 그라인딩된 사파이어 웨이퍼는 래핑 및 폴리싱된다. 래핑 공정에서는, 통상 입자의 크기가 $6\mu\text{m}$ 인 다이아몬드 슬러리(13)를 이용하여 그라인딩된 사파이어 웨이퍼(10)를 래핑 플레이트(12) 상에서 소정의 두께(예를 들어, $81\mu\text{m}$)로 연마한다. 상기 래핑이 완료된 후, 상기 래핑 공정과 마찬가지로 도 1b에 도시된 바와 같이, 입자의 크기가 $3\mu\text{m}$ 인 다이아몬드 슬러리(13)를 이용하여 상기 사파이어 웨이퍼(10)를 소정의 두께(예를 들어, $80\mu\text{m}$)로 폴리싱한다. 마지막으로, 도 1c에 도시된 바와 같이 상기 폴리싱된 사파이어 웨이퍼(10)는 다이아몬드 팁(14)을 사용하여 스크라이빙됨으로써 개별 칩으로 분할한다.

<21> 도 2a는 상기 래핑 공정을 통해 처리된 사파이어 웨이퍼 배면의 표면 확대 사진으로 매우 깊은 스크래치(scratch)가 형성되어 있다. 이러한 상태의 사파이어 웨이퍼 배면은 그 표면이 매우 거칠어 투명도가 떨어진다. 또한, 래핑이 이루어진 상태의 사파이어 웨이퍼 배면을 스크라이빙을 하면, 가공응력이 강하여 다이아몬드 팁(14)이 잘 들지만 표면에 형성된 깊은 스크래치로 인해 도 3a에 도시된 바와 같이 심각한 크랙이 발생하고, 분할된 칩은 도 3b에 도시된 것과 같이 일부분이 파손되는 등의 문제가 있다. 따라서, 상기에 설명한 바와 같이 래핑 공정 이후, 보다 작은 입자의 슬러리를 이용하여 사파이어 웨이퍼의 배면을 폴리싱한다.

<22> 도 2b는 상기 폴리싱 공정을 통해 처리된 사파이어 웨이퍼 배면의 표면 확대 사진으로 도 2a에 나타나는 스크래치가 거의 제거된 상태이다. 이와 같이, 폴리싱 공정을 통해 사파이어 웨이퍼 배면의 스크래치는 거의 제거되고 투명도가 높아 생산되는 반도체 발광소자의 특성을 향상시킨다. 그러나, 상기 폴리싱 공정을 통해 처리된 사파이어 웨이퍼의 배면은 그 표면이 매우 매끄러워 가공응력이 매우 낮다. 즉, 다이아몬드 톱으로 사파이어 웨이퍼의 표면을 스크라이빙하는 경우, 표면의 저항력이 매우 낮기 때문에 다이아몬드 톱이 잘 들지 않는다. 도 4a는 폴리싱 공정 이후 다이아몬드 톱을 사용하여 스크라이빙된 사파이어 웨이퍼의 사진으로, 스크라이빙된 개별 칩의 경계 부분이 깔끔하게 처리되지 못함을 알 수 있다. 이러한 상태에서 사파이어 웨이퍼를 개별 칩으로 분리하면, 도 4b에 도시된 바와 같이 칩의 외형이 불량해지고 이로 인해 수율이 떨어지는 문제점이 발생한다. 또한, 상기 다이아몬드 톱은 매우 고가의 소모품으로, 상기한 종래의 방법에 의하면 다이아몬드 톱이 잘 들지 않으므로 그 마모량이 증가되어 제품의 단가를 상승시키는 문제점이 발생한다.

<23> 따라서, 당 기술분야에서는 분리되는 칩의 외관불량을 발생시키지 않음과 동시에 고가의 다이아몬드 톱의 사용량을 감소시킬 수 있는 사파이어 웨이퍼의 분리 방법이 요구되어 왔다.

【발명이 이루고자 하는 기술적 과제】

<24> 본 발명은 상기 문제점을 해결하기 위해 안출된 것으로, 그 목적은 사파이어 웨이퍼를 사용하여 제조된 발광소자 등의 반도체 소자를 개별 칩으로 분리 시, 사파이어 웨이퍼의 배면의 응력(stress)의 조절을 통해 보다 용이하고 효율적인 스크라이빙을 가능하게 하여, 칩의 외

관불량을 개선하고 다이아몬드 팁의 사용량을 감소시킬 수 있는 사파이어 웨이퍼의 분리 방법을 제공하는데 있다.

【발명의 구성 및 작용】

<25> 상기 기술적 과제를 달성하기 위하여 본 발명은,

<26> 상면에 반도체 소자가 형성된 사파이어 웨이퍼의 배면을 소정의 두께로 그라인딩하는 단계와, 상기 그라인딩된 사파이어 웨이퍼의 배면을 소정의 두께로 래핑하는 단계와, 상기 래핑된 사파이어 웨이퍼의 배면을 균일하게 소정의 두께로 드라이 에칭하는 단계 및 상기 드라이 에칭된 사파이어 웨이퍼의 배면을 스크라이빙하는 단계를 포함하는 사파이어 웨이퍼의 분할방법을 제공한다.

<27> 본 발명의 바람직한 실시예에서, 상기 드라이 에칭은 RIE(Reactive Ion Etch)법에 의해 이루어지며, 적어도 50초 이상 실시되며, 상기 드라이 에칭의 RF 바이어스는 최대 26W이다.

<28> 또한, 상기 드라이 에칭하는 단계에서, 상기 사파이어 웨이퍼는 적어도 800Å 이상 에칭되는 것이 바람직하다.

<29> 이하, 첨부된 도면을 참조하여 본 발명에 따른 사파이어 웨이퍼의 분할방법을 보다 상세하게 설명한다.

<30> 도 5는 본 발명에 따른 사파이어 웨이퍼의 분할방법을 도시한 공정도이다. 먼저, 도 5a에 도시된 바와 같이 회전하는 다이아몬드 휠(11)을 사용하여 사파이어 웨이퍼(10)의 배면을 소정의 두께(예를 들어, $115\mu\text{m}$)로 그라인딩(grinding)한다.

<31> 다음으로, 도 5b에 도시한 바와 같이 상기 그라인딩된 사파이어 웨이퍼의 배면을 래핑(lapping)한다. 래핑 공정에서는, 통상 입자의 크기가 $6\mu\text{m}$ 인 다이아몬드 슬러리(13)를 이용하여 그라인딩된 사파이어 웨이퍼(10)를 래핑 플레이트(12) 상에서 소정의 두께(예를 들어, $81\mu\text{m}$)로 연마한다.

<32> 다음으로, 도 5c에 도시한 바와 같이 상기 래핑된 사파이어 웨이퍼(10)의 배면을 소정의 두께만큼 드라이 에칭(20)한다. 일반적으로 드라이 에칭에는 여러 가지 방법이 사용되나, 에칭시간이 짧고, 이방성 식각이 가능하며, 반도체 소자의 오염을 방지할 수 있는 RIE(Reactive Ion Etch)법을 사용하는 것이 바람직하다. 상기 드라이 에칭에 의하면, 래핑 공정 이후 사파이어 웨이퍼 배면의 표면에 형성되는 스크래치를 제거하여 스크라이빙 시 크랙의 발생을 방지할 수 있다. 또한, 종래의 사파이어 웨이퍼 분할 방법에 사용되는 폴리싱 공정 시보다 사파이어 웨이퍼 표면의 가공응력이 크기 때문에 스크라이빙 공정시 다이아몬드 팀이 잘 들게 됨으로써 보다 정확하고 수월하게 스크라이빙이 가능하게 된다.

<33> 최종적으로, 도 5d에 도시된 바와 같이, 드라이 에칭된 사파이어 웨이퍼의 배면을 다이아몬드 팀(14)을 이용하여 스크라이빙(scribing)한다.

<34> 도 6은 본 발명에 따른 사파이어 웨이퍼의 분할방법에 사용되는 드라이 에칭 이후 사파이어 웨이퍼의 변화를 설명하기 위한 사파이어 웨이퍼의 단면도이다. 상기 래핑이 완료된 사파이어 웨이퍼 배면은 앞서 도 2a를 통해 설명했던 바와 같이 그 표면에 깊은 스크래치가 형성되어 있다. 도 6a는 래핑 이후 스크래치가 형성된 사파이어 웨이퍼의 단면을 도시하고 있다. 래핑이 종료된 사파이어 웨이퍼(10)의 표면에는 도 6a에 도시된 바와 같이 스크래치가 형성되어 있다. 도 6a에서 도면부호 10a로 표시된 부분은 가공응력이 매우 강하게 집중된 부분으로, 이후 진행되는 스크라이빙 공정에서 힘이 가해지면 크랙이 발생할 확률이 높다. 도 6a에 도시된 상태의 사파이어 웨이퍼를 드라이 에칭하면, 도 6b에 도시된 것과 같이 스크래치의 깊이가 감소하며 도면 부호 10a로 표시된 응력이 집중된 부분의 형상이 무뎌진다. 즉, 도 6a의 응력이 집중된 부분(10a)의 형상이 도 6b의 도면 부호 6b로 표시된 부분과 같이 변화하면서 응력의 집중이 감소되고, 이후의 스크라이빙 공정에서도 크랙이 발생할 확률이 현저하게 감소된다. 따라서 스크라이빙을 통해 분리되는 칩의 외형 불량을 개선할 수 있게 되는 것이다.

<35> 본 발명에 따른 사파이어 웨이퍼의 분할방법에 사용되는 드라이 에칭은 RIE(Reactive Ion Etch)법에 의해 이루어지는 것이 바람직하다. 도 7은 상기 RIE법에 의해 드라이 에칭이 이루어지는 사파이어 웨이퍼의 표면의 변화를, 드라이 에칭이 실행되는 시간에 따라 도시한 것이다. 도 7a, 도 7b, 도 7c 및 도 7d는 각각 드라이 에칭이 50초, 100초, 200초 및 400초 동안 실행된 상태의 사파이어 웨이퍼 표면의 전자 현미경 사진이다. 도 7을 참조하면, 드라이 에칭이 진행되는 시간이 길어질수록 래핑공정 이후 사파이어 웨이퍼의 표면에 형성된 스크래치가 점차 감소하는 것을 알 수 있다. 스크래치에 의해 발생하는 칩의 크랙 현상을 방지하기 위해서 드라이 에칭은 적어도 50초 이상 실행되는 것이 바람직하다.

<36> 도 8은 드라이 에칭의 중요한 변수 중의 하나인 RF 바이어스를 변동시켜 드라이 에칭을 실행한 실험 결과를 나타내는 사진이다. 드라이 에칭의 결과를 결정하는 변수에는 여러 가지가 있으나, 에칭 프로파일(profile)을 결정하는 주요한 변수는 RF 바이어스이다. 도 8a, 도 8b 및 도 8c는 각각 RF 바이어스가 19W, 24W 및 26W일 때 에칭 프로파일의 변화를 도시한다. 도 8에 나타난 바와 같이 RF 바이어스를 상승시킬수록 에칭 프로파일이 수직에 가까워진다. 즉, RF 바이어스가 높으면, 에칭 레이트(rate)가 좋아지고 에칭 프로파일이 수직에 가까워 균일한 표면을 만들 수 있으므로 이후 스크라이빙 공정 시 균일한 품질을 확보할 수 있다.

<37> 그러나, 상기 RF 바이어스가 26W를 초과하면 PR 마스크의 버닝(burning) 현상이 발생하므로 본 발명에 사용되는 드라이 에칭의 RF 바이어스는 최대 26W임이 바람직하다.

<38> 이상에서 설명한 드라이 에칭에 의해 스크라이빙이 보다 용이하게 실행될 수 있다. 도 9는 본 발명에 따른 방법에 의해 스크라이빙된 사파이어 웨이퍼 및 분할된 칩을 도시한 사진이다. 도 9a에 나타난 바와 같이 사파이어 웨이퍼를 스크라이빙한 각 칩의 경계부분이 명확하게 설정되고 도 9b와 같이 분할된 개별 칩의 테두리가 깔끔하게 처리되어 칩의 외형불량이 거의 발생하지 않음을 알 수 있다. 이와 같은 본 발명의 효과는, 앞서 제시되었던 종래 방법에 의한 스크라이빙의 결과를 나타내는 도 4와 비교하면 보다 명확해진다.

<39> 도 4a에 나타난 바와 같이 종래의 방법에 의하면, 폴리싱에 의해 사파이어 웨이퍼의 표면의 가공응력이 매우 약해 다이아몬드 팀이 잘 들지 않아, 스크라이빙된 부분이 깔끔하게 처

리되지 못하였다. 반면, 도 9a에 나타난 바와 같이 본 발명에 의하면, 폴리싱 공정을 사용하지 않고 대신 드라이 에칭 공정을 이용하여 사파이어 웨이퍼 표면에 소정의 가공응력을 유지함으로써, 다이아몬드 텁이 보다 용이하게 사파이어 웨이퍼 표면 스크라이빙할 수 있게 된다. 그 결과 스크라이빙되는 각 칩의 경계가 보다 명확하게 구분됨을 알 수 있다. 이러한, 스크라이빙의 차이는 분할된 개별 칩의 외형에 차이를 가져온다. 도 4b에 나타난 바와 같이 종래의 방법에 의해 분할된 칩을 스크라이빙이 제대로 이루어지지 않으므로, 칩의 경계가 깔끔하게 처리되지 못하여 칩의 외형불량을 가져온다. 반면, 본 발명에 의하면 도 9b에 나타난 바와 같이, 칩의 외형불량이 거의 발생하지 않는다.

<40> 또한, 본 발명에 의하면, 스크라이빙 시 다이아몬드 텁이 사파이어 표면에 잘 들기 때문에 그 마모량이 현저하게 감소하게 된다. 사파이어 웨이퍼를 분할하는 공정에 사용되는 다이아몬드 텁은 매우 고가의 소모품으로, 본 발명에 의해 그 사용량을 현저하게 감소시킴으로써 제품의 단가를 줄이고, 나아가 제품의 가격 경쟁력을 확보할 수 있다.

<41> 본 발명은 상술한 실시형태 및 첨부된 도면에 의해 한정되는 것이 아니고, 첨부된 청구 범위에 의해 한정하고자 하며, 청구범위에 기재된 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 다양한 형태의 치환, 변형 및 변경이 가능하다는 것은 당 기술분야의 통상의 지식을 가진 자에게는 자명할 것이다.

【발명의 효과】

<42> 상술한 본 발명에 따르면, 사파이어 웨이퍼를 사용하여 제조된 반도체 발광소자 등을 스크라이빙 공정을 통하여 개별 칩으로 분리하는 경우, 사파이어 웨이퍼의 배면을 그라인딩, 래핑한 후 폴리싱 공정을 사용하지 않고 드라이 에칭함으로써 상기 사파이어 웨이퍼 배면의 가공응력(stress)을 소정의 수준으로 유지함으로써 보다 용이하고 효율적인 스크라이빙을 가능하게 한다. 이를 통해, 칩의 외관불량을 개선하여 수율을 향상시키고, 고가의 다이아몬드 텁의 사용량을 감소시켜 생산원가를 절감함으로써 생산성을 높이고 나아가 제품의 가격 경쟁력을 확보할 수 있는 효과가 있다.

【특허청구범위】**【청구항 1】**

상면에 반도체 소자가 형성된 사파이어 웨이퍼의 배면을 소정의 두께로 그라인딩하는 단계;

상기 그라인딩된 사파이어 웨이퍼의 배면을 소정의 두께로 래핑하는 단계;

상기 래핑된 사파이어 웨이퍼의 배면을 균일하게 소정의 두께로 드라이 에칭하는 단계;

및

상기 드라이 에칭된 사파이어 웨이퍼의 배면을 스크라이빙하는 단계를 포함하는 드라이 에칭을 이용한 사파이어 웨이퍼의 분할방법.

【청구항 2】

제1항에 있어서, 상기 드라이 에칭은,

RIE(Reactive Ion Etch)법에 의해 이루어짐을 특징으로 하는 드라이 에칭을 이용한 사파이어 웨이퍼의 분할방법.

【청구항 3】

제1항에 있어서, 상기 드라이 에칭은

적어도 50초 이상 실시됨을 특징으로 하는 드라이 에칭을 이용한 사파이어 웨이퍼의 분할방법.

【청구항 4】

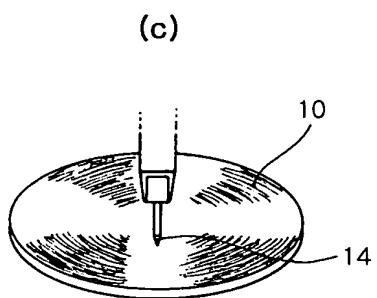
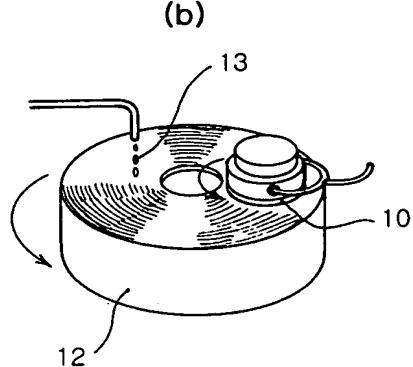
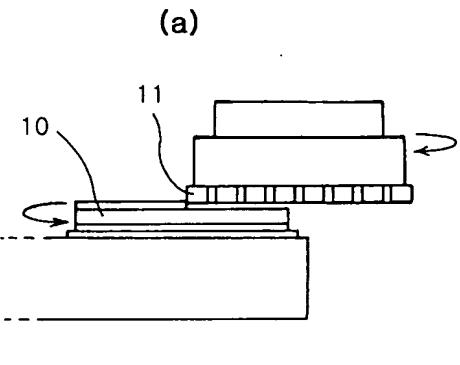
제1항에 있어서, 상기 드라이 에칭하는 단계에서,
상기 사파이어 웨이퍼는 적어도 800Å 이상 에칭됨을 특징으로 하는 드라이 에칭을 이용
한 사파이어 웨이퍼의 분할 방법.

【청구항 5】

제1항에 있어서,
상기 드라이 에칭의 RF 바이어스는 최대 26W임을 특징으로 하는 드라이 에칭을 이용한
사파이어 웨이퍼의 분할 방법.

【도면】

【도 1】

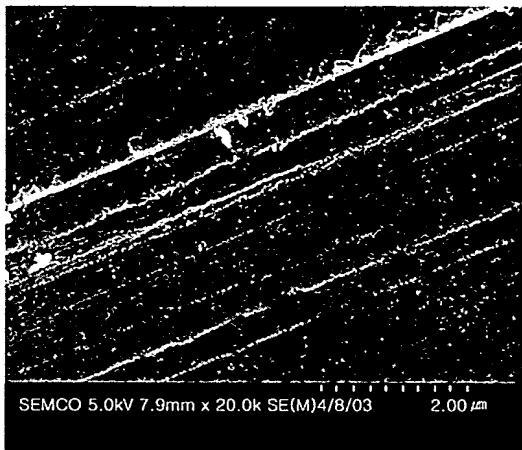


1020030066080

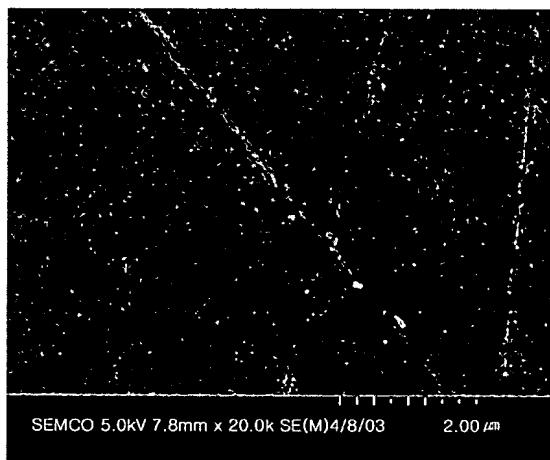
출력 일자: 2003/10/21

【도 2】

(a)



(b)

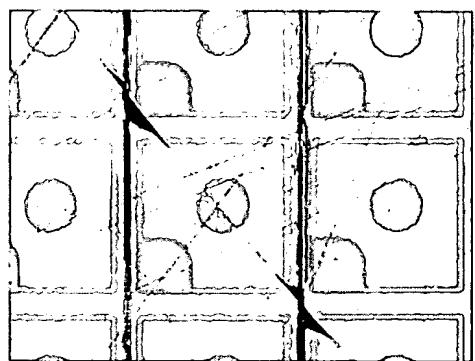


1020030066080

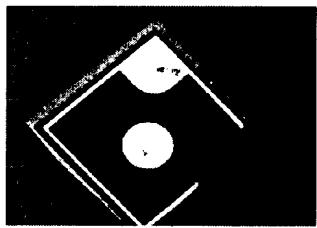
출력 일자: 2003/10/21

【도 3】

(a)

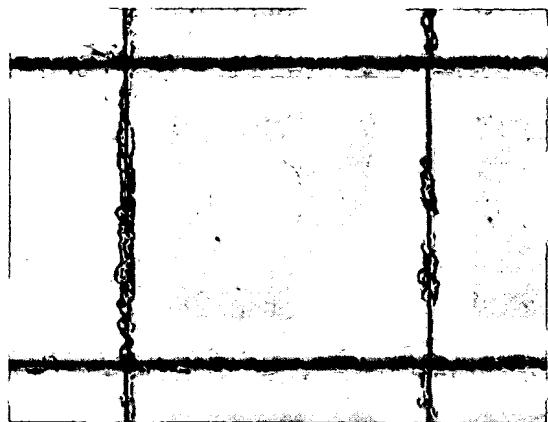


(b)

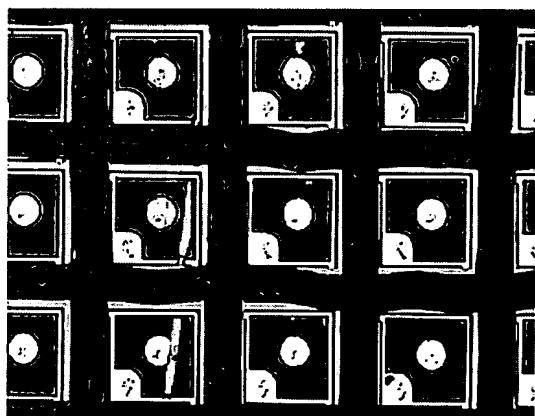


【도 4】

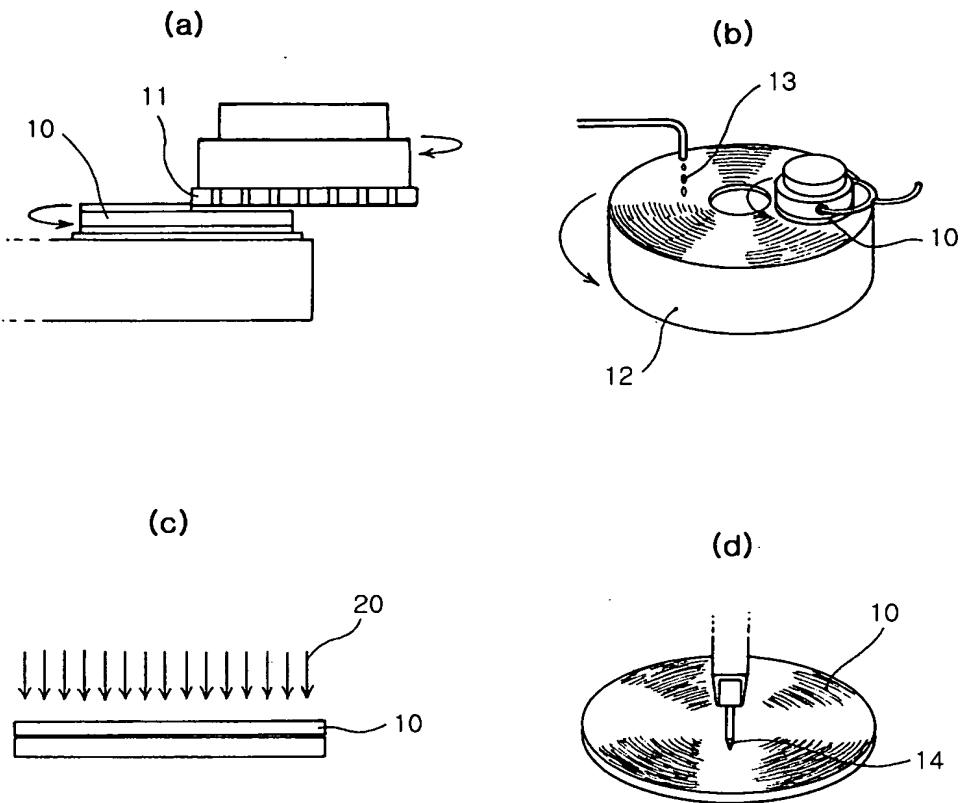
(a)



(b)



【도 5】



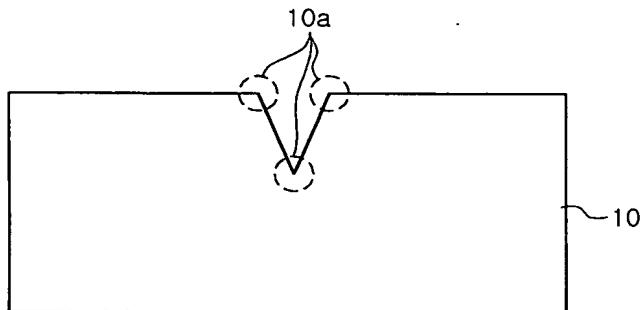


1020030066080

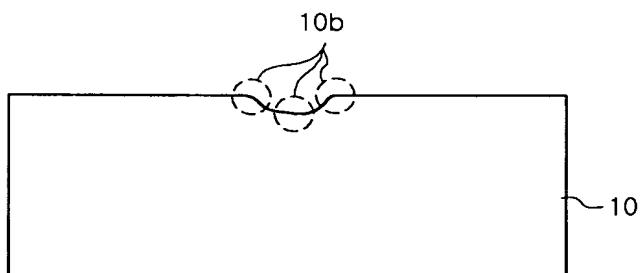
출력 일자: 2003/10/21

【도 6】

(a)



(b)



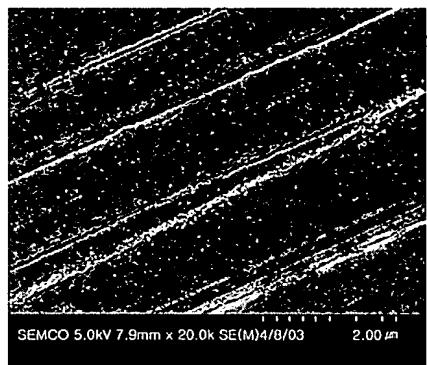


1020030066080

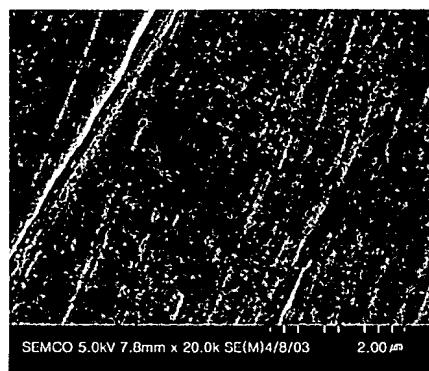
출력 일자: 2003/10/21

【도 7】

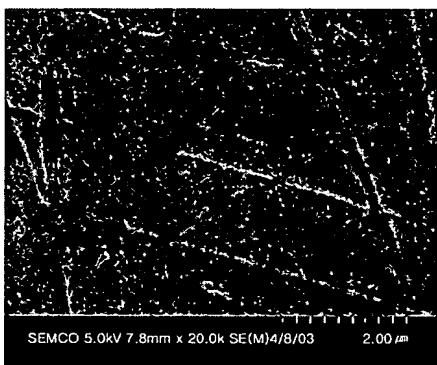
(a)



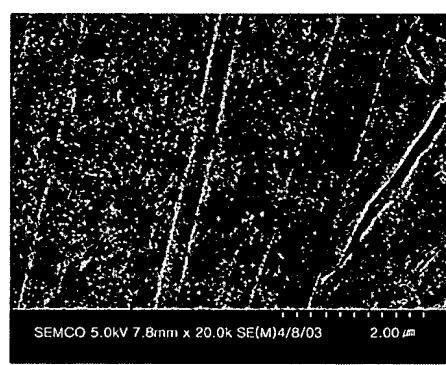
(b)



(c)



(d)



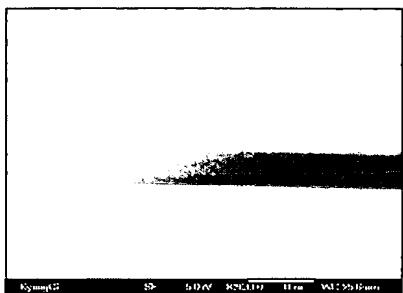


1020030066080

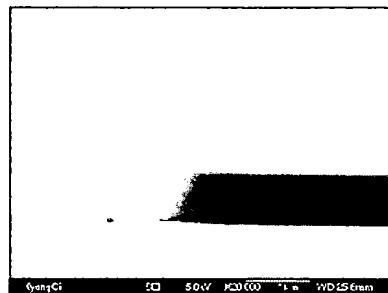
출력 일자: 2003/10/21

【도 8】

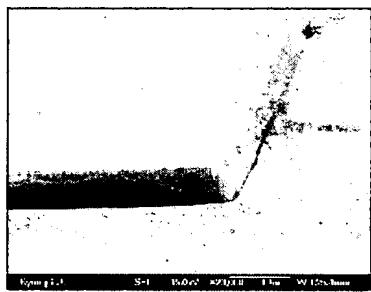
(a)



(b)



(c)



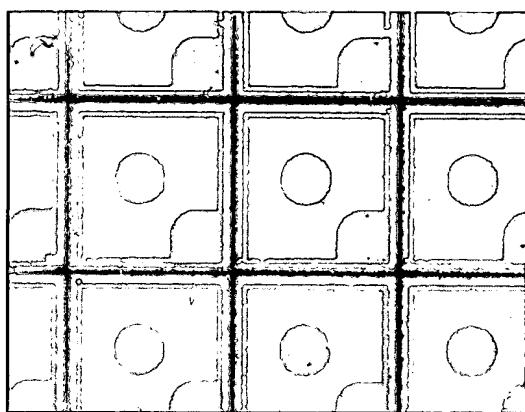


1020030066080

출력 일자: 2003/10/21

【도 9】

(a)



(b)

